

**Futura – Policealna Szkoła dla Dorosłych w Lublinie**

**Kierunek: Technik informatyk 351203**

**Semestr: I**

**Przedmiot: Urządzenia techniki komputerowej**

**Nauczyciel: Mirosław Ruciński**

**Temat: Architektura north and South Bridge. Chipset**

**Cele kształcenia:** Zapoznanie z urządzeniami i blokami modułowej budowy komputera. Poznanie zasad działania i współpracy poszczególnych urządzeń.

**Zagadnienia:**

**Architektura współczesnego komputera**

**Zmiany w architekturze i działaniu komputerów**

***Architektura - podstawowe komponenty, które są niezbędne do prawidłowego funkcjonowania komputera.***

***Architektura North and South Bridge*** – w klasycznej architekturze funkcje chipsetu są rozdzielone na dwa oddzielne układy scalone (mostki) połączone magistralą komunikacyjną. W starszych modelach płyt głównych mostek północny i południowy były połączone szyną [PCI](#), obecnie stosuje się do tego celu dedykowane [magistrale](#) o dużej [przepustowości](#).

***Mostek północny*** ([ang.](#) northbridge) – element współczesnych [chipsetów](#), realizujący połączenia pomiędzy [procesorem](#), [pamięcią operacyjną](#), magistralą [AGP](#) lub [PCI Express](#) i [mostkiem południowym](#).

***Mostek południowy*** ([ang.](#) southbridge) – element współczesnych [chipsetów](#), realizujący połączenie [procesora](#) do wolniejszej części wyposażenia [mikrokomputera](#):

- ***napędów dysków [twardych](#)*** (złącza [IDE/ATA/SATA/ATAPI](#))
- ***magistral [ISA](#), [PCI](#)***
- ***sterownika [przerwań IRQ](#)*** Przerwanie ([ang.](#) interrupt) lub żądanie przerwania (IRQ – Interrupt ReQuest) – sygnał powodujący zmianę [przeptywu sterowania](#), niezależnie od aktualnie wykonywanego [programu](#). Pojawienie się

przerwania powoduje wstrzymanie aktualnie wykonywanego programu i wykonanie przez [procesor](#) kodu procedury obsługi przerwania

- **sterownika [DMA Direct Memory Access](#)**, DMA, z ([ang.](#)): bezpośredni dostęp do pamięci – technika, w której [sprzęt komputerowy](#) podłączony do [płyty głównej](#), np. [karta graficzna](#), [karta dźwiękowa](#), [karta sieciowa](#) czy [kontroler dysku twardego](#), mogą korzystać z pamięci operacyjnej [RAM](#) lub portów we-wy, pomijając przy tym [CPU](#).
- **[nieulotnej pamięci BIOS](#)**
- **[modułu zegara czasu rzeczywistego](#)**

**Opcjonalnie most południowy może obsługiwać również:**

łącze [FireWire](#)

łącze [USB](#)

złącze do sterownika [RAID](#)

złącze [Ethernet](#)

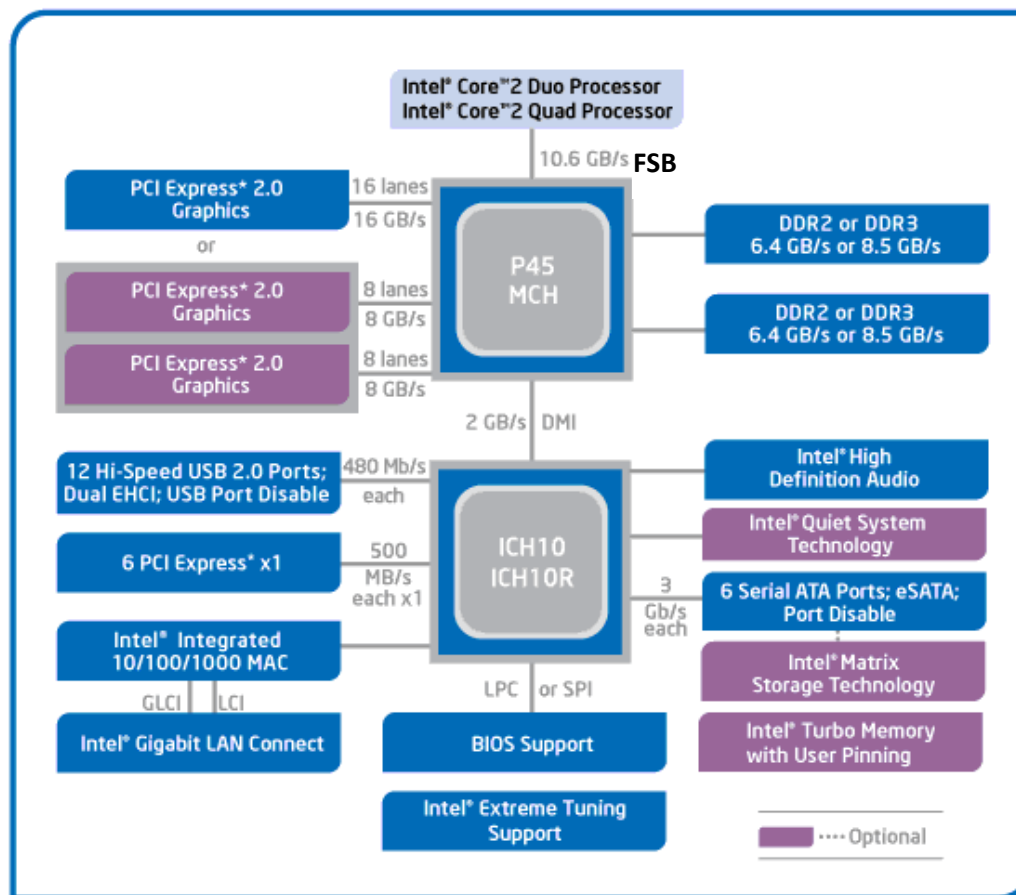
W rzadkich przypadkach mostek południowy obsługuje także zewnętrzne złącza szeregowo, w tym złącza [myszy](#) i [klawiatury](#) oraz [RS-232](#) – zazwyczaj jednak urządzenia te dołączane są do mostka południowego przez dodatkowy układ nazywany [SIO](#) (***ang. Super Input/Output***). Przez SIO obsługiwane są również złącza równoległe ([port Centronics](#)), łącze podczerwieni ([IrDA](#)), [stacje dyskietek](#) i [Flash ROM BIOS](#)-u.

### **Zmiany w architekturze i działaniu komputera**

Oprócz nowej mikroarchitektury, czyli zmian we wnętrzu procesora, nastąpiły zmiany w budowie całego komputera. PC z procesorami Core 2 (i wcześniejszymi procesorami LGA775) są zbudowane według schematu przedstawionego na rysunku\_1.

Centralnym elementem, w którym krzyżują się wszystkie drogi przepływu danych, jest mostek północny (*ang. Memory Controller Hub*, MCH). Procesor wystawia adresy i dane na odpowiednich liniach magistrali FSB, skąd odbiera je mostek

północny, i w zależności od adresu wykonuje operację na pamięci operacyjnej lub na jednej z magistral lub złączy, których jest kontrolerem. Może to być odczyt lub zapis do pamięci, nawiązanie komunikacji przez PCI Express lub PCI z odpowiednim urządzeniem albo przekazanie odpowiedniego rozkazu do mostka południowego, który realizuje mniej krytyczne funkcje (kontroler USB, dysków itp.).



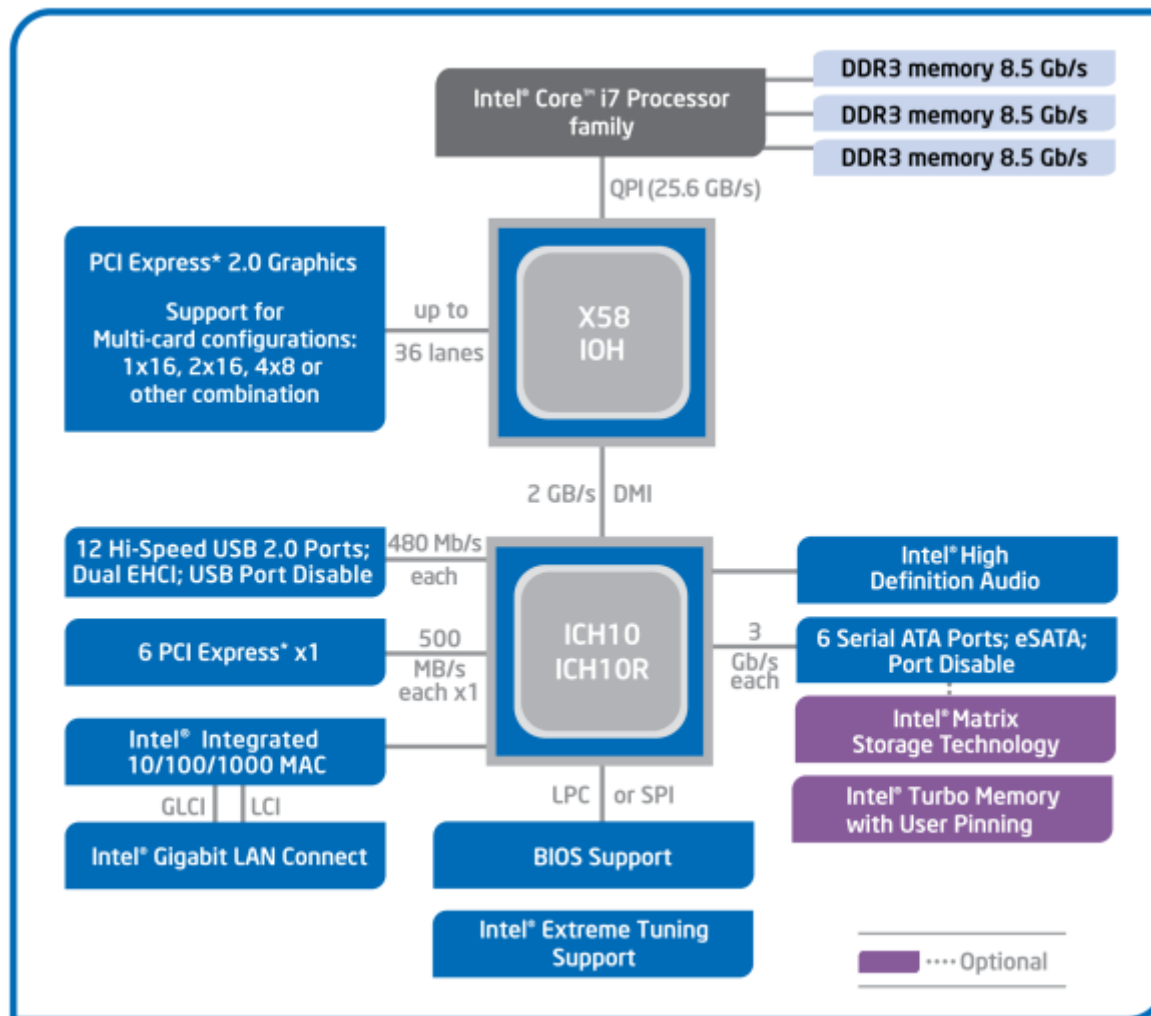
Intel® P45 Express Chipset Block Diagram

Rysunek 1

**W architekturze Nehalem część funkcji realizowanych do tej pory przez mostek północny została przeniesiona do procesora.**

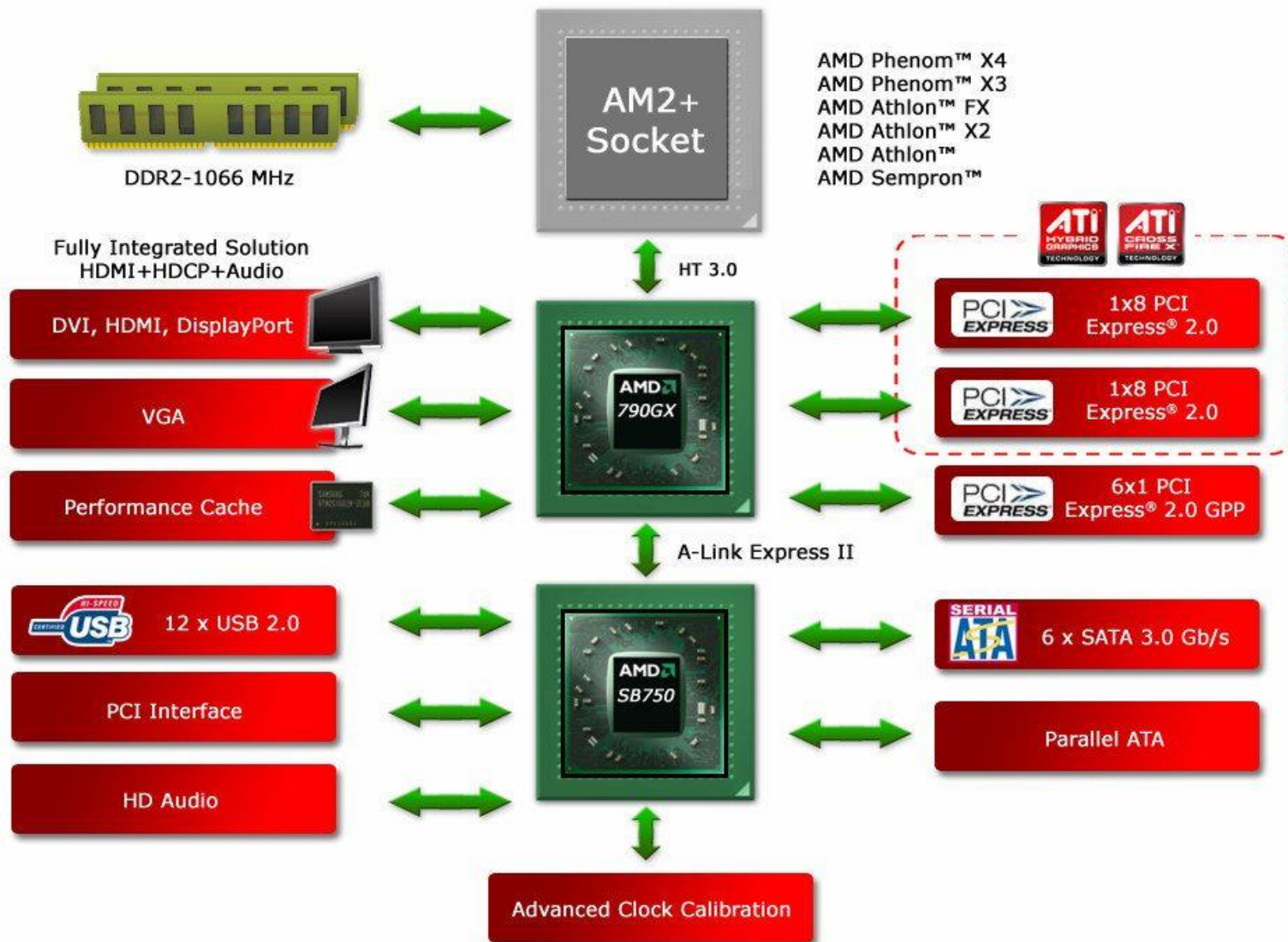
**Procesor ma zintegrowany kontroler pamięci,** kontroler PCI Express oraz nowe złącze komunikacyjne – QuickPath Interconnect (QPI). Komunikacja z pamięcią i (w procesorach Lynnfield) z urządzeniami PCI Express jest prowadzona w samym procesorze, bez pośrednictwa dodatkowego układu. Można to potraktować, jako przeniesienie części mostka północnego do procesora. Na przedstawionej platformie mniej krytyczne i wymagające mniejszej przepustowości funkcje, takie jak obsługa dodatkowych urządzeń PCI Express, PCI, dysków i innych magistral, są realizowane przez identyczny jak w platformie LGA775 mostek południowy ICH (ang. I/O Controller Hub – centrum kontroli wejścia-wyjścia). Kontroler PCI Express jest umieszczony w nowym układzie IOH (ang. I/O Hub – centrum wejścia-wyjścia). IOH komunikuje się z procesorem przez łącze QPI. W procesorach Lynnfield wszystkie funkcje mostka północnego będą realizowane wewnątrz procesora, a na płytach pozostanie tylko nowy układ PCH (ang. Peripheral Controller Hub – centrum kontroli urządzeń peryferyjnych). Rozległe zmiany w rdzeniu procesora wymusiły zmianę podstawki – nowe procesory działają w podstawce [LGA1366](#). Schemat architektury przedstawia rysunek\_2.

**Podobny podział funkcji występuje w systemach z procesorami AMD z rodziny K8 i K10** (Athlon 64, Sempron 64 i Phenom). Tam jednak kontroler PCI Express znajduje się poza procesorem, a do komunikacji z mostkiem północnym używa się złącza HyperTransport. Schemat blokowy AMD 790GX - rysunek\_3



Intel X58 Express Chipset Block Diagram

Rysunek 2



Rysunek 3

**Temat: Chipset Procesory. Typy i parametry procesorów. Typy gniazd i chłodzenie mikroprocesorów. Magistrale mikroprocesora. Pamięć Cache**

**Mikroprocesor  
Magistrale systemowe**

**Procesor** ([ang.](#) processor), także CPU ([ang.](#) Central Processing Unit) – urządzenie [cyfrowe sekwencyjne](#), *które pobiera dane z [pamięci](#), interpretuje je i wykonuje jako [rozkazy](#)*. Wykonuje on ciąg prostych operacji (rozkażów) wybranych ze zbioru operacji podstawowych określonych zazwyczaj przez producenta procesora, jako [lista rozkażów procesora](#).

**Procesory (zwane mikroprocesorami)** wykonywane są zwykle, jako [układy scalone](#) zamknięte w hermetycznej obudowie, często posiadającej [złocone](#) wyprowadzenia (stosowane ze względu na odporność na utlenianie). *Ich sercem jest [monokryształ krzemu](#), na który naniesiono techniką [fotolitografii](#) szereg warstw [półprzewodnikowych](#), tworzących, w zależności od zastosowania, sieć od kilku tysięcy do kilkuset milionów  [tranzystorów](#). Połączenia wykonane są z [metal](#) ([aluminium](#), [miedź](#)).*

**Jedną z podstawowych cech procesora** jest długość (liczba [bitów](#)) [słowa](#), na którym wykonywane są podstawowe operacje obliczeniowe. Jeśli słowo ma 64 bity, mówimy, że procesor jest [64-bitowy](#). Innym ważnym parametrem określającym procesor jest szybkość, z jaką wykonuje on rozkazy. Przy danej architekturze procesora, szybkość ta w znacznym stopniu zależy od czasu trwania pojedynczego taktu.

**W funkcjonalnej strukturze procesora można wyróżnić takie elementy, jak:**

**Zespół [rejestrów](#)** do przechowywania danych i wyników, rejestry mogą być ogólnego przeznaczenia lub mają specjalne przeznaczenie. Rejestry procesora to komórka pamięci o niewielkich rozmiarach (najczęściej 4/8/16/32/64/128 [bitów](#)) umieszczone wewnątrz [procesora](#) i służące do przechowywania tymczasowych wyników obliczeń, adresów lokacji w



pamięci operacyjnej itd. Większość procesorów przeprowadza działania wyłącznie korzystając z wewnętrznych rejestrów, kopiując do nich dane z pamięci i po zakończeniu obliczeń odsyłając wynik do pamięci.

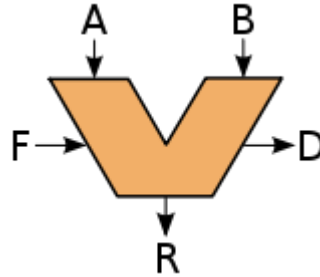
**Rejestry, ze względu na zastosowanie, można podzielić m.in. na:**

- **rejestr rozkazów** IR (ang. Instruction Register)- wewnętrzna komórka pamięci mikroprocesora przechowująca **obecnie przetwarzaną instrukcję**;
- **licznik rozkazów** PC (ang. Program Counter) - przechowuje kolejne adresy pamięci z rozkazami;
- **akumulator** A – przechowuje **wynik wykonywanej operacji**;
- **wskaźnik stosu** SP (ang. Stack Pointer) – **służy do adresowania pamięci**; przechowuje dane w trybie LIFO (ang. Last In First Out) ostatni wchodzi pierwszy wychodzi;
- **rejestr flagowy** F – przechowuje informacje dotyczące realizacji wykonywanej operacji.

**ALU jest układem cyfrowym, jednostka arytmetyczno-logiczna** (z ang. *Arithmetic and Logical Unit* lub *Arithmetic Logic Unit*), to jedna z głównych części procesora, prowadząca proste operacje na liczbach całkowitych służącym do wykonywania operacji arytmetycznych (takich jak dodawanie, odejmowanie itp.), operacji logicznych (np. Ex-Or) pomiędzy dwiema liczbami oraz operacje jednoargumentowe takie jak przesunięcie bitów, negacja. ALU jest podstawowym blokiem centralnej jednostki obliczeniowej komputera.

Typowe ALU ma dwa wejścia odpowiadające parze argumentów i jedno wyjście na wynik. Operacje jakie prowadzi to:

- operacje logiczne AND, OR, NOT, XOR,
- dodawanie,
- przesunięcia bitowe o jeden bit, stałą liczbę bitów, czasem też o zmienną liczbę,
- często też, odejmowanie, negacja liczby, dodawanie z przeniesieniem, zwiększanie/zmniejszanie o 1
- dość często mnożenie i czasem dzielenie/modulo



Typowy symbol ALU: A i B - operandy; R - wyjście; F - wejście z jednostki kontrolnej; D - status wyjścia

**Układ sterowania CU** (ang. Control Unit) odpowiedzialny za sterowanie blokami mikroprocesora,

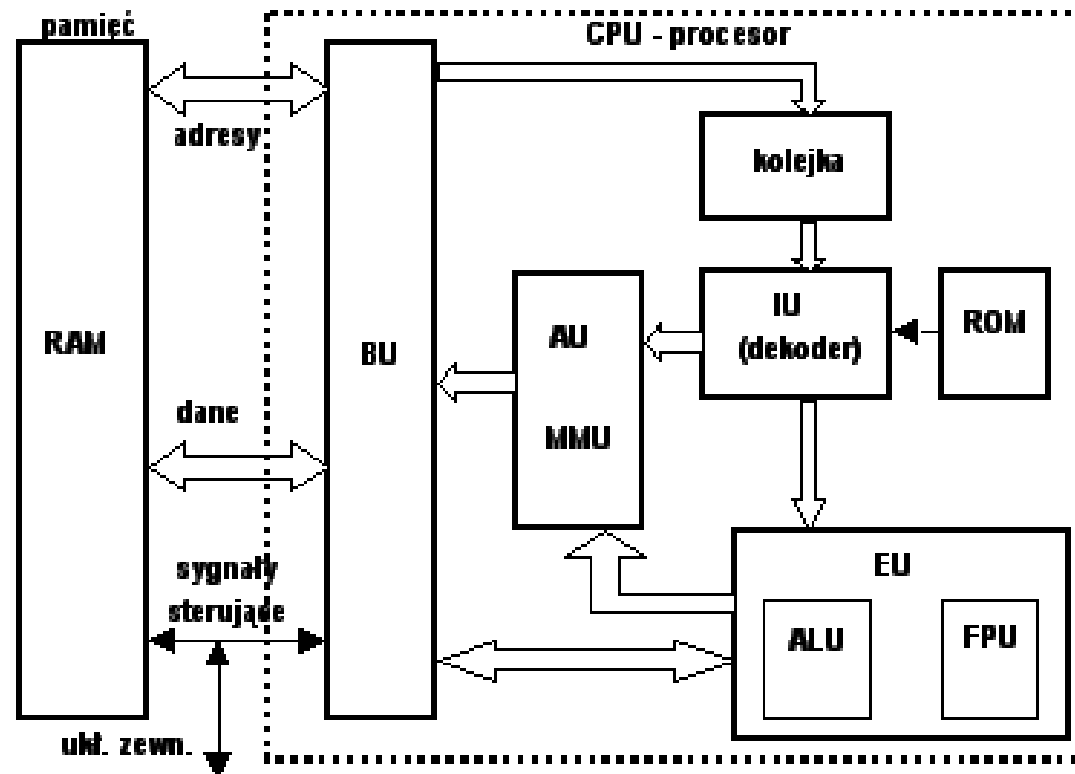
**Jednostka zmiennoprzecinkowa FPU** (ang. Floating Point Unit, koprocessor), wykonująca operacje arytmetyczne na liczbach zmiennoprzecinkowych.

**Inne układy**, w które producent wyposaża procesor w celu usprawnienia jego pracy.

**Pamięć Cache** - szybka pamięć SRAM przechowująca wyniki najczęściej wykonywanych operacji.

**Działanie mikroprocesora można opisać jako ciąg wykonywanych zadań, na przykład:**

- Pobranie rozkazu z pamięci programu,
- Dekodowanie rozkazu, odczyt rejestrów,
- Wykonanie rozkazu,
- Pobranie argumentów z pamięci danych,
- Zapisanie wyniku operacji w pamięci.



CPU - procesor

- RAM(Random Acces Memory) - pamięć operacyjna
- BU(Bus Unit) - układ zarządzający magistralami
- AU (Addressing Unit) - układ obliczania adresu połączony z
- MMU (Memory Management Unit) układem zarządzania pamięcią
- IU (Instruction Unit) - dekodér instrukcji
- EU (Execution Unit) -moduł wykonawczy zawiera
- ALU (Aritmetic-Logic Unit) jednostkę arytmetyczno-logiczną
- FPU (ang. Floating Point Unit, koprocesor), wykonująca operacje arytmetyczne na liczbach zmiennoprzecinkowych.

## **Współczesne procesory, podstawowe parametry.**

**Cela kształcenia:** Zapoznanie z parametrami i standardami procesorów. Poznanie ich architektury. Charakteryzowanie procesorów stosowanych do budowy komputerów ora omówienie ich podstawowych parametrów.

### **Zagadnienia:**

Architektura współczesnych procesorów na podstawie procesorów Intel.

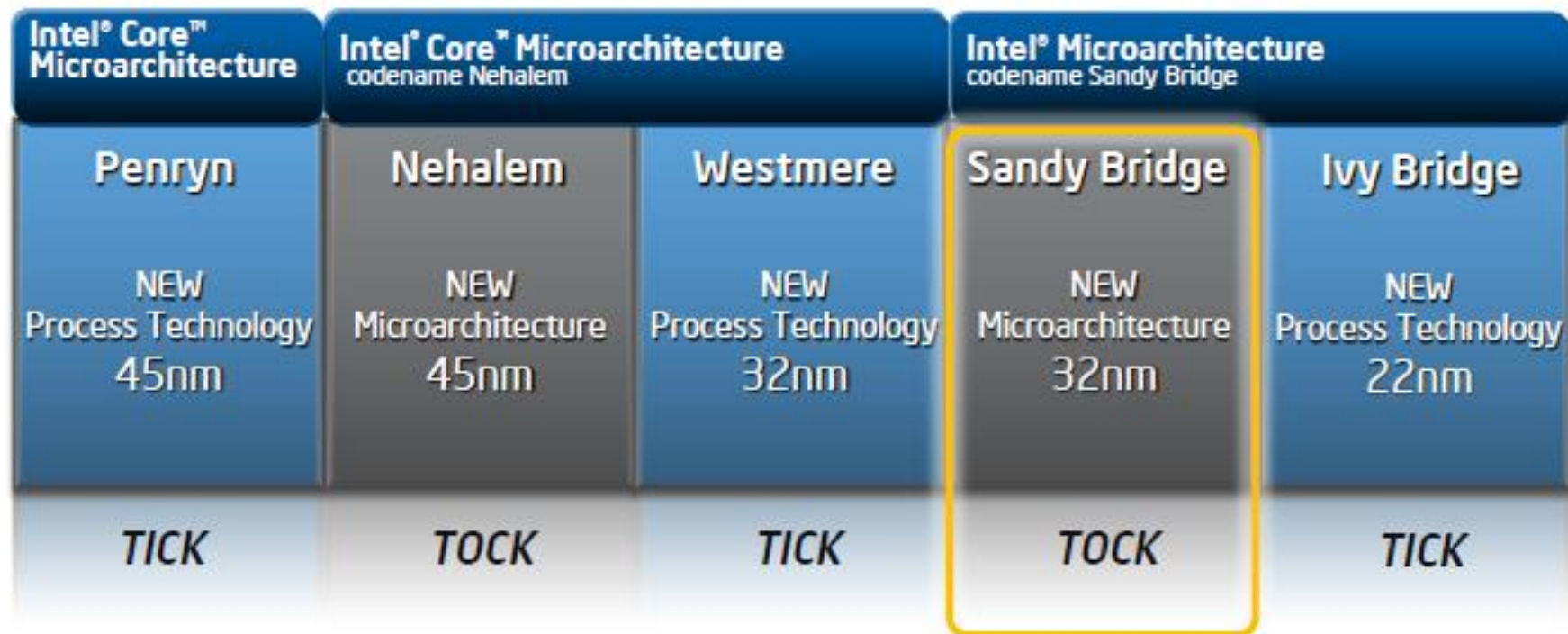
Schematy blokowe procesorów.

Podstawowe parametry procesorów.

Od dawna Intel postępuje zgodnie z przyjętą filozofią rozwoju określanej mianem "Tick Tock". Całość opiera się na rozwoju bazującym na dwóch następujących naprzemiennie krokach - każdy "tick" to sprowadzenie obecnej na rynku generacji procesorów do niższego wymiaru technologicznego, następujący po nim "tock" to premiera nowej mikroarchitektury, która z wprowadzonego wcześniej procesu technologicznego korzysta. Ostatni krok Intela to "tick" a więc wprowadzenie nowego niższego wymiaru technologicznego, w tym konkretnie przypadku - procesorów Westmere wykonanych w wymiarze 32 nanometrów i bazujących na mikroarchitekturze Nehalem. Początek roku 2011 to "tock" w cyklu pracy Intela, 32-nanometrowe układy bazujące na nowej mikroarchitekturze, Sandy Bridge. Kolejny będzie "tick" w postaci Ivy Bridge - wykonanych w wymiarze 22-nanometrów wywodzących się z architektury Sandy Bridge. To jednak przyszłość (choć nie tak odległa), zajmijmy się teraźniejszością a więc Sandy Bridge i zmianami jakie niesie.

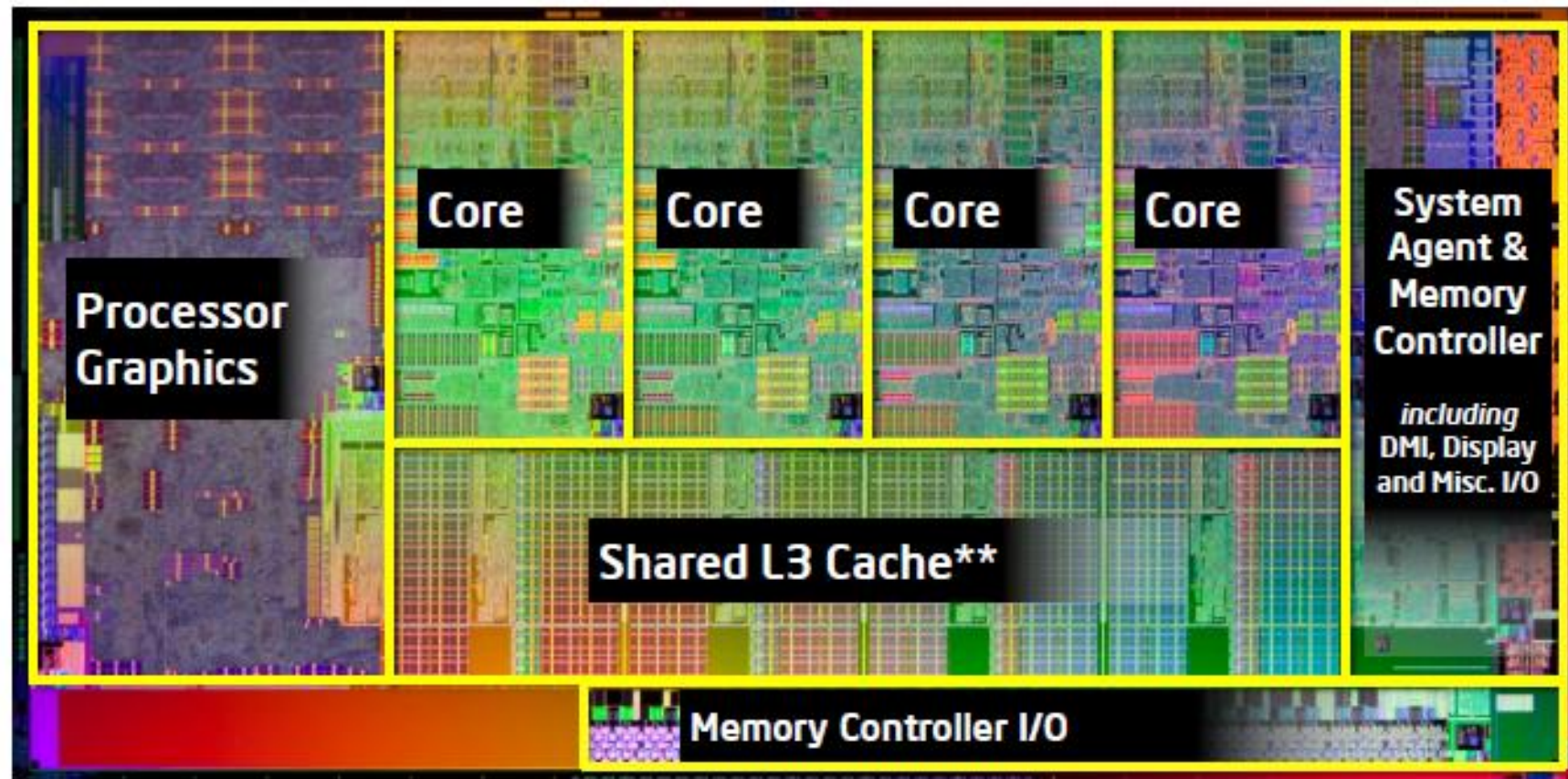
# TICK-TOCK, TICK-TOCK

JAK W ZEGARKU CZYLI SYSTEMATYKA POSTĘPOWANIA INTELA



# SANDY BRIDGE

## SCHEMAT OGÓLNY UKŁADU CZTERORDZENIOWEGO



*Powyższy schemat* przedstawia ogólny podział na najważniejsze moduły czterordzeniowego procesora wywodzącego się z architektury Sandy Bridge. Wszystkie nowe procesory Intel'a zostały wyposażone w zintegrowany z nimi układ graficzny, który

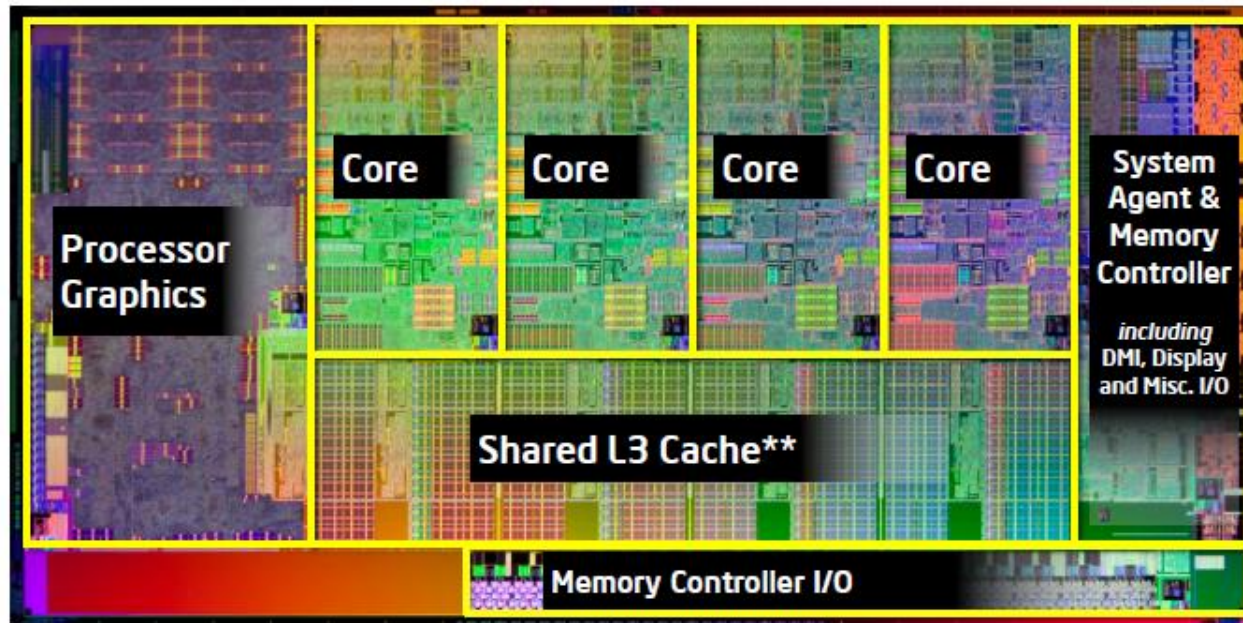
po raz pierwszy pojawił się na rynku wraz z Westmere - wykonanymi w wymiarze 32 nanometrów dwurdzeniowymi układami bazującymi na architekturze Nehalem. W przypadku **Sandy Bridge** mamy do czynienia nie tylko z układem usprawnionym względem poprzednika, ale jednocześnie stanowiącym integralną część CPU. W przypadku Westmere układ graficzny umieszczony był w jednej obudowie wraz z procesorem, stanowił jednak odrębną strukturę krzemową wykonaną w wymiarze 45nm i obejmującą również kontroler magistrali PCI Express oraz elementy klasycznego mostka północnego, jak kontroler pamięci (dla przypomnienia, w Nehalemie jest on umieszczony bezpośrednio w strukturze krzemowej jądra procesora). Procesor z układem graficznym komunikował się za pomocą interfejsu MCP (MCP Interface – Multi-Chip Package Interface).

***W przypadku Sandy Bridge rdzeń graficzny został scalony z procesorem, mamy więc jedną strukturę krzemową obejmującą rdzenie procesora, rdzeń graficzny, zintegrowany kontroler pamięci, jednostkę określaną mianem agenta systemowego, współdzieloną pamięć podręczną poziomu trzeciego (L3 cache) oraz interfejs I/O kontrolera pamięci. Całość wykonana jest w wymiarze technologicznym 32 nanometrów.***

Rdzeń graficzny zintegrowany z Sandy Bridge różni się znacząco od układu Ironlake zastosowanego w procesorach Westmere. Wiemy już, że stanowi on integralną część struktury krzemowej procesora, zmiany są jednak zdecydowanie większe i mają znaczący wpływ na jego wydajność. Przede wszystkim zwiększono IPC, ilość instrukcji wykonywanych w jednym cyklu zegara (z ang. *Instructions Per Cycle*). Procesor graficzny ponadto operuje teraz na dostępnej dla całej struktury procesora współdzielonej pamięci podręcznej poziomu trzeciego (L3 cache). Dzięki temu zintegrowany układ graficzny nie musi się cały czas odwoływać do pamięci systemowej (RAM), dostęp do której to jest wolniejszy i obciążony dodatkowymi opóźnieniami. Połączenie to zrealizowano za pomocą magistrali pierścieniowej, która obejmuje pamięć podręczną trzeciego poziomu (L3 cache lub też LLC - *Last Level Cache*, pamięć podręczna ostatniego poziomu), rdzenie procesora, układ graficzny oraz agenta systemowego. Procesor graficzny stanowi przy tym moduł niezależny w kwestii taktowania i zarządzania energią - oznacza to, że jego taktowanie jest ustalane tylko i wyłącznie w zależności od aktualnego obciążenia układu graficznego i nie jest powiązane z obciążeniem CPU. Taktowanie jest zmieniane dynamicznie (w każdym CPU) i w zależności od danego CPU procesor graficzny może pracować z zegarem do 1350MHz (układ Ironlake pracował z zegarem do 900MHz a dynamiczna zmiana taktowania dostępna była dotychczas tylko w mobilnych procesorach Intela).

## SANDY BRIDGE

SCHEMAT OGÓLNY UKŁADU CZTERORDZENIOWEGO





# INTEL SANDY BRIDGE

Integracja CPU, procesora graficznego, kontrolera pamięci, kontrolera PCI Express w jednym układzie

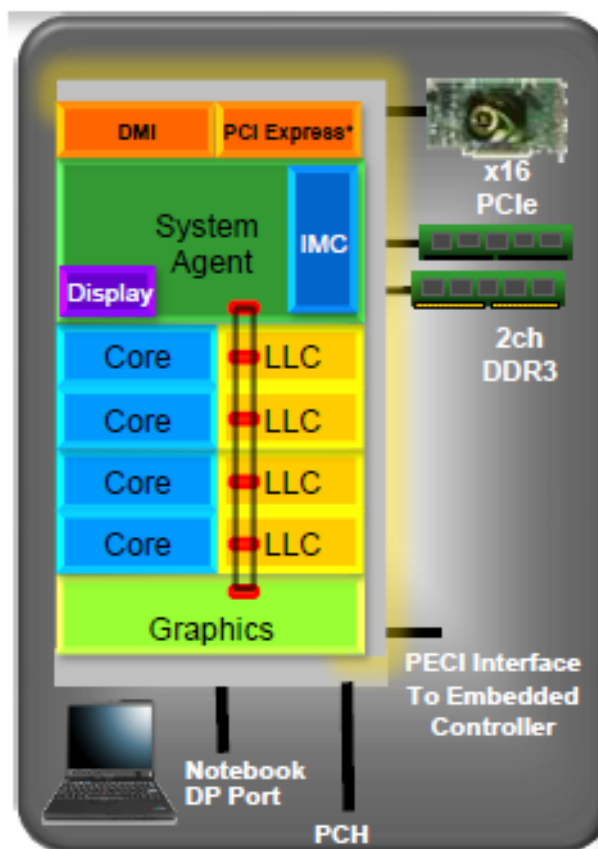
Kolejna generacja technologii  
Turbo Boost

Pamięć podręczna ostatniego poziomu (LLC - Last Level Cache)  
o dużej przepustowości

Zintegrowany układ graficzny  
nowe generacji

Obsługa Display-Port

Wsparcie dla dedykowanych kart  
graficznych (pojedynczej na PCI-E  
x16, lub dwóch w trybie x8/x8)



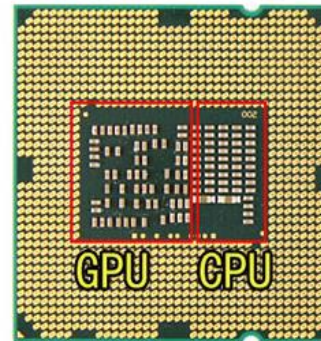
Modularne połączenie pomiędzy LLC,  
rdzeniami CPU, układem graficznym i  
agentem systemowym w postaci  
magistrali pierścieniowej

Nowy zestaw instrukcji AVX  
(Intel Advanced Vector Extensions)

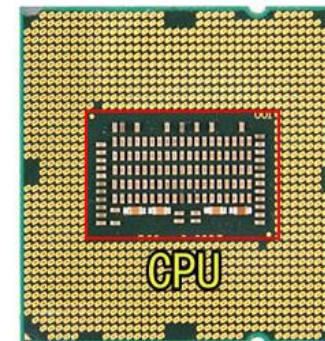
Zintegrowany dwukanałowy kontroler  
pamięci DDR3

Technologia Hyper-Threading

Wymiar 32 nanometrów



Intel Core i3 530



Intel Core i5 750

	Core™ i5-670	Core™ i5-661	Core™ i5-660	Core™ i5-650	Core™ i3-540	Core™ i3-530	Pentium® G6950
Socket	LGA 1156						
Clock Speed(GHz)	3.46	3.33	3.33	3.20	3.06	2.93	2.80
Total cache	4M						
Cores/Threads	2/4						2/2
Integrated Graphics Frequency (MHz)	733	900	733	733	733	733	533
Integrated Memory Controller	2 ch						

<b>Model</b>	<b>Core i7 920</b>	<b>Core i7 940</b>	<b>Core i7 Extreme 965</b>
<b>Taktowanie</b>	2.66 GHz	2.93 GHz	3.2 GHz
<b>W trybie Turbo Boost</b>	2.93 GHz	3.20 GHz	3.46 GHz
<b>Ilość rdzeni (wątków)</b>	4 (8)	4 (8)	4 (8)
<b>Cache L1</b>	4x 32 kB + 4x 32 kB	4x 32 kB + 4x 32 kB	4x 32 kB + 4x 32 kB
<b>Cache L2</b>	4x 256 kB	4x 256 kB	4x 256 kB
<b>Cache L3</b>	8 MB	8 MB	8 MB
<b>QPI</b>	2.4 GHz (4.8 GT/s)	2.4 GHz (4.8 GT/s)	3.2 GHz (6.4 GT/s)
<b>BLCK</b>	133 MHz	133 MHz	133 MHz
<b>Mnożnik min</b>	12	12	12
<b>Mnożnik max</b>	20	22	24 (odblokowany)
<b>Mnożnik Turbo Boost</b>	22	24	26

<b>Technologia wykonania</b>	45 nm	45 nm	45 nm
<b>TDP</b>	130 W	130 W	130 W

**Tabela przedstawi przykładowe parametry procesorów Intel**

**TDP** ([ang. Thermal Design Power](#)) to moc wydzielanego ciepła, którą trzeba odebrać z [jednostki centralnej](#). Moc ciepła wydzielanego przez procesor jest w przybliżeniu równa mocy, którą [procesor](#) pobiera.

**Intel Turbo Boost** - technologia firmy [Intel](#), która automatycznie podkręca [procesor](#), gdy [komputerowi](#) potrzebna jest wyższa prędkość obliczeniowa. Została ona zastosowana w serii [Intel Core](#) w modelach [i5](#) oraz [i7](#).

**Hyper-threading** (nazwa oficjalna Hyper-Threading Technology, nazwy skrócone HT Technology, HTT lub HT) – jest to implementacja [wielowątkowości współbieżnej](#) (ang. simultaneous multithreading, SMT) opracowana przez firmę [Intel](#) i stosowana w [procesorach Atom](#), [Core i3](#), [Core i5](#), [Core i7](#), [Itanium](#), [Pentium 4](#) oraz [Xeon](#).

Hyper-threading służy zwiększeniu wydajności obliczeń prowadzonych równolegle (czyli wykonywaniu wielu zadań jednocześnie) przez mikroprocesory. Dla każdego fizycznego rdzenia procesora [system operacyjny](#) przypisuje dwa procesory wirtualne (ang. virtual processors), a następnie dzieli obciążenie obliczeniami między nimi, jeżeli jest to możliwe. Hyper-threading wymaga nie tylko wsparcia ze strony systemu operacyjnego, ale również oprogramowania specyficznie zoptymalizowanego dla obsługi tej technologii.

**Intel QuickPath Interconnect** lub **QPI** to [magistrala \(szyna\)](#) będącą odpowiednikiem łączy [HyperTransport](#) procesorów [AMD](#), i jest następcą [FSB](#) dla platform Core i3, Core i5, Core i7.

**Architektura dual-channel** (dwukanałowa) – technologia stosowana w [kontrolerach pamięci](#), do wydajniejszej obsługi pamięci [RAM](#). Polega na podwojeniu przepustowości przesyłu danych pomiędzy kontrolerem pamięci, a pamięcią RAM. Technologia dual-channel wykorzystuje dwa [64-bitowe kanały](#), co razem daje [magistralę](#) o szerokości 128 bitów dla przesyłu danych pomiędzy pamięcią RAM a kontrolerem pamięci.

**Mnożnik** - liczba (np. 8x, 4.5x 10x), przez którą mnoży się częstotliwość magistrali systemowej [FSB](#) (np. 133 MHz) w celu ustawienia częstotliwości [procesora](#) (CPU), na przykład:  $12.5 \times 133 \text{ MHz} = 1662 \text{ MHz}$  (1.66 GHz). Konieczność stosowania mnożnika wynika z powolności układów współpracujących z CPU. Wzrost częstotliwości taktowania procesorów był znacznie szybszy niż pozostałych elementów (m.in. [pamięci](#)) i z czasem konieczne okazało się stosowanie rozwiązań innych niż praca w pełni synchroniczna. Wydajność dzisiejszych komputerów jest w dużym stopniu zależna właśnie od komponentów dołączanych do CPU, a nie tylko jego prędkości taktowanie procesora.

### **Magistrale komputera:**

**Magistrala** (ang. Bus) jest zestawem ścieżek łączących jednocześnie kilka komponentów i umożliwiając komunikację między nimi. Magistralę można scharakteryzować za pomocą dwóch parametrów: szerokości i szybkości.

**Szerokość oznacza** liczbę jednocześnie wysyłanych bitów w jednostce czasu. Magistrala (szyna) 32 b równoległa, przesyła jednorazowo 32 bity danych.

**Szybkość określa**, jak szybko dane mogą być przesyłane przez ścieżki magistrali. Szybkość magistrali wyrażana jest w (Hz-herc, MHz-megaherc, lub GHz-gigaherc).

**Magistralę pamięci** (ang. Memory Bus) łączy mikroprocesor z pamięcią operacyjną RAM, kontroler pamięci IMC (ang. Integrated Memory Controller) zintegrowany z procesorem umożliwia wymianę danych nie angażując mostka North Bridge podczas wymiany danych.

**Magistrala danych** (ang. *Data Bus*) umożliwia wymianę danych między mikroprocesorem a chipsetem. Obecnie w komputerach PC można wyróżnić trzy rozwiązania:

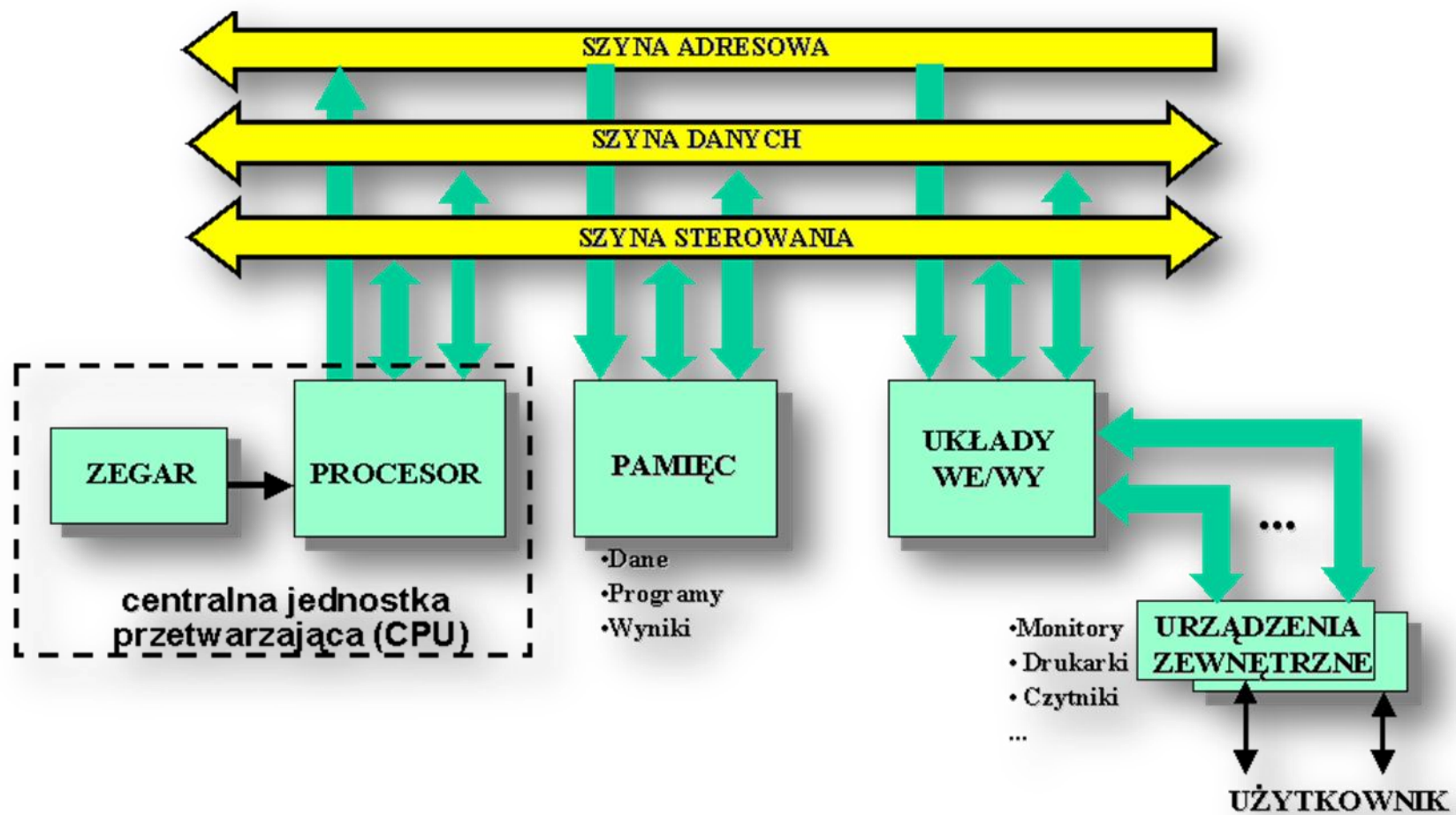
Magistrala **FSB** (ang. *Front Side Bus*), jest magistralą równoległą łączy procesor z mostkiem północnym.

Magistrala **HP** firmy AMD– (ang. *Hyper transport*), jest szeregową magistralą pełno duplexową typu punkt-punkt opracowaną dla procesorów Athlon 64 wyposażonych w zintegrowany kontroler pamięci.

Magistralę **QPI** firmy Intel (ang. *Quick Path Interconnect*) stosowana w mikroprocesorach Intel Core i7, jest szeregową magistralą pełno duplexową typu punkt-punkt, cechującą się dużą wydajnością i małymi opóźnieniami.

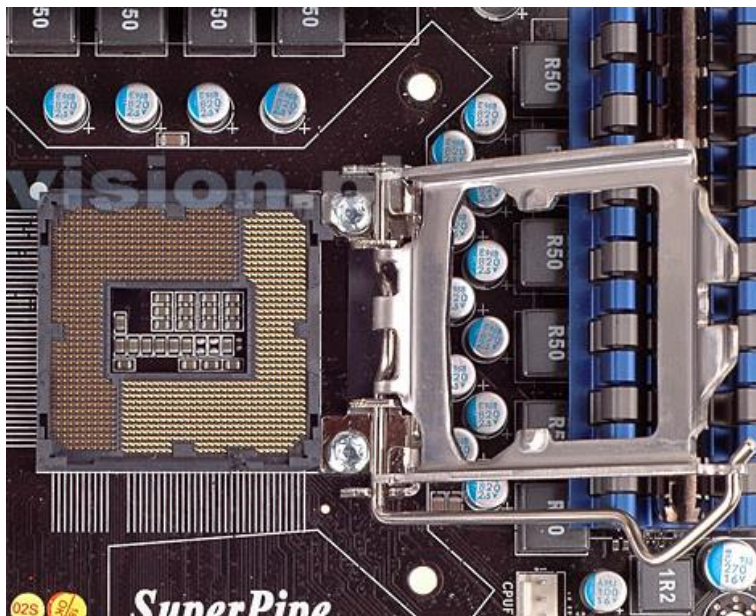
**Magistrala adresowa** (ang. *Address Bus*) dostarcza informacji o adresach, pod które mają trafić dane, lub spod których mają zostać odczytane. Szerokość magistrali adresowej jest bardzo ważna, opisuje one przestrzeń adresową obsługiwaną przez procesor. Szerokość magistrali adresowych we współczesnych procesorach przewyższa 32 b.

**Magistrala sterująca** – (ang. *System Bus* lub *Control Bus*) jest kanałem do przesyłania sygnałów sterujących między mikroprocesorem, pamięcią RAM i pozostałymi urządzeniami wejścia-wyjścia.

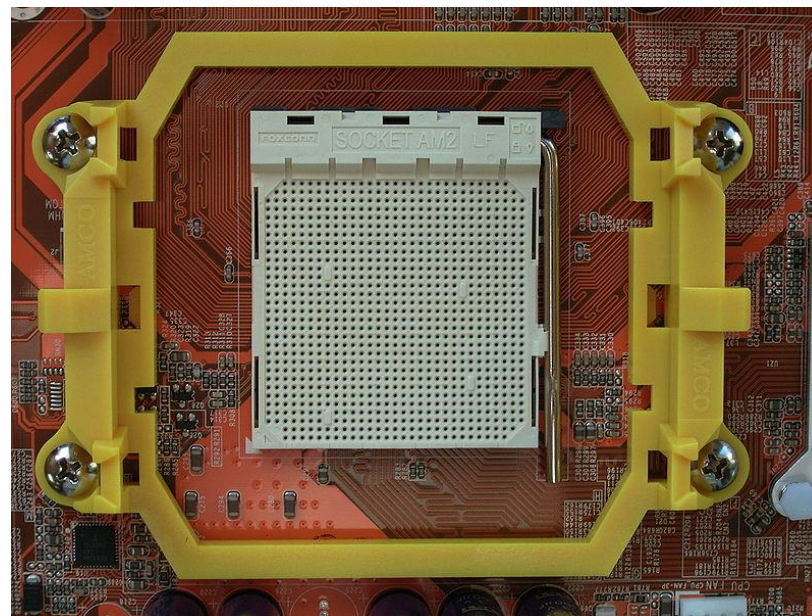


Schemat modułowej, logicznej budowy komputera PC

## Gniazda procesorów:

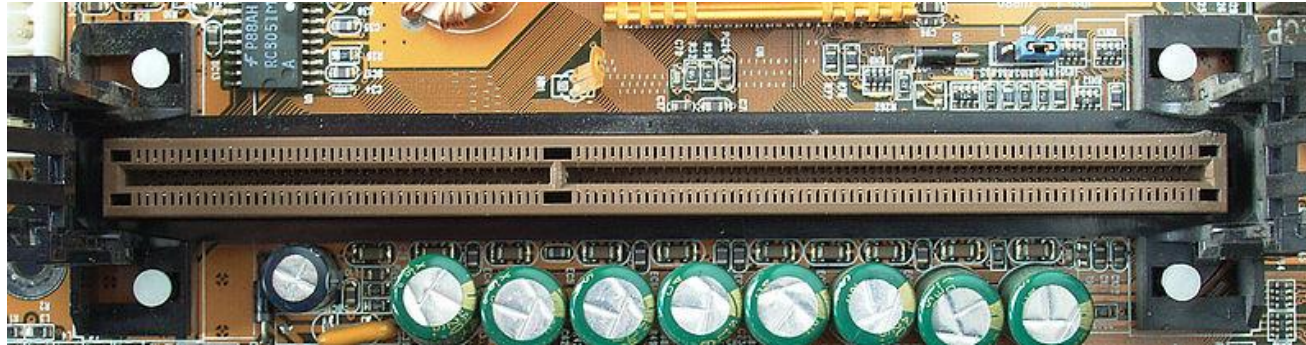


Podstawka Socket LGA 1156. Procesory Intel



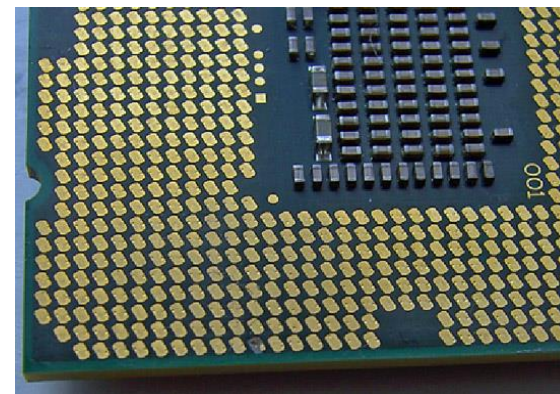
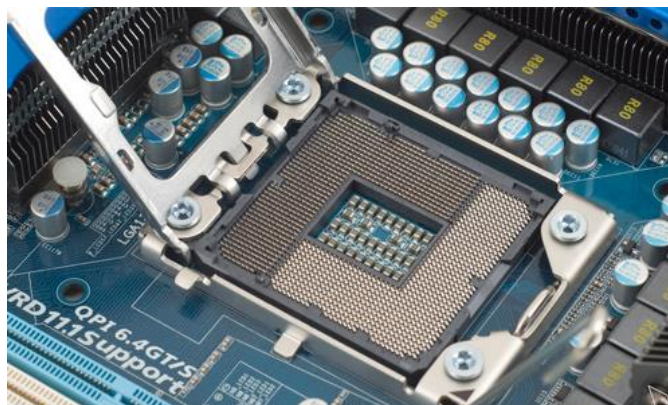
Podstawka Socket AM2 typ PGA, ZIF. Procesory AMD



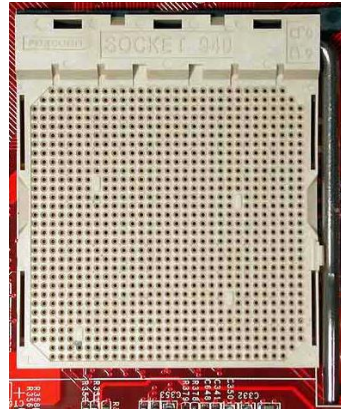


Gniazdo procesora typu SLOT

**Gniazda procesora (LGA )-** podstawka LGA 1366 przeznaczona dla modeli Core i7, procesor LGA



[LGA](#) (Land Grid Array), co oznacza, że obudowa procesora nie posiada nóżek, tylko złoczone pola dotykowe na spodniej stronie, zaś w podstawce znajdują się sprężyste blaszki dotykające tych pól.



**Socket 940** jest podstawką dla [procesorów AMD Athlon 64 FX](#) oraz [Opteron](#) typu **PGA** ([ang.](#) Pin Grid Array)- **ZIF** socket ([ang.](#) zero insertion force socket – gniazdo z zerowym naciskiem wstawiania) - podstawka (gniazdo) [układu scalonego](#) (np. [procesora](#) na [płyce głównej komputera](#)), umożliwiająca wymianę układu bez używania siły i bez ryzyka uszkodzenia.

### **Zestaw chłodzący.**

Współczesne komputery klasy PC wyposażone są w wydajne układy scalone, które emitują duże ilości ciepła. Aby uniknąć przepalenia (przegrzania) poszczególnych komponentów stosuje się tzw. zestawy chłodzące. Najprostszą metodą ochrony układu przed przegrzaniem jest użycie radiatora, który umożliwia odprowadzenie energii cieplnej do atmosfery. Radiator może zostać wyposażony w zasilany elektrycznie wentylator, który pozwala na zwiększenie wydajności chłodzenia (radiator aktywny).

Istnieją również alternatywne metody chłodzenia:

- a. Chłodzenie cieczą,
- b. Heat pipe (cieplne rurki),



Zestaw chłodzący

**Literatura:**

Przygotowanie stanowiska komputerowego do pracy – Tomasz Marciniuk, Krzysztof Pytel, Sylwia Osetek.

Urządzenia techniki komputerowej – Tomasz Kowalski

Pieńkos J., Turczyński J. „Układy scalone TTL w systemach cyfrowych”. Wydawnictwa Komunikacji i Łączności, Warszawa 1980

Wikipedia- wolna encyklopedia internetowa

**Strona internetowa:**

<http://pclab.pl/art33815.html>

<http://pclab.pl/art34180-2.html>

[http://www.frazpc.pl/artykuly/728281,Intel Core i5 2500K Intel Core i7 2600K - Sandy Bridge - AKT I /2.html](http://www.frazpc.pl/artykuly/728281,Intel%20Core%20i5%202500K%20Intel%20Core%20i7%202600K%20-%20Sandy%20Bridge%20-%20AKT%20I%20/2.html)

<http://pcfoster.pl/artykul/test-intel-core-i3-i-i5-32nm/248-1.html>

[http://www.benchmark.pl/testy i recenzje/Intel Core i7 aka Nehalem - najszybszy CPU do pecetow-1193.html](http://www.benchmark.pl/testy%20i%20recenzje/Intel%20Core%20i7%20aka%20Nehalem%20-%20najszybszy%20CPU%20do%20pecetow-1193.html)

<http://informatyka.wikia.com/wiki/ROM>

Opracował Mirosław Ruciński  
e-mail: [nauczyciel.zsen@gmail.com](mailto:nauczyciel.zsen@gmail.com)